БГУИР

# Кафедра ЭВМ

### Отчет по лабораторной работе № 2

Тема: «Исследование работы коммутационных логических элементов»

Выполнил:

Проверил:

#### Минск 2023

**1** **ЦЕЛЬ РАБОТЫ**

Целью работы является изучить работу коммутационных логических элементов.

1. **ИСХОДНЫЕ ДАННЫЕ К РАБОТЕ**

Работа выполняется на базовом лабораторном стенде NI ELVIS II с использованием модуля dLab2, dLab3, dLab4, dLab5, dLab6 для исследования работы коммутационных логических элементов.

В процессе выполнения данной лабораторной работы требуется выполнить следующие задачи:

* получить таблицы истинности следующих коммутационных логических элементов: шифратор, дешифратор, мультиплексор, сумматор, цифровой компаратор;
* получить временные диаграммы состояний входных и выходных сигналов;
* определить, какой логический сигнал на входе управления «Е» шифратора, дешифратора, мультиплексора является активным.

**3 КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ**

**3.1 Шифратор**

Шифратором (Coders — CD) MxN называют комбинационное устройство с М входами и N выходами, преобразующее M-разрядный унитарный код в N-разрядный двоичный код.

По уровню входных и выходных сигналов выделяют:

* полные шифраторы, число входов которых М = 2N;
* неполные шифраторы, имеющие число входов М < 2N.

По числу входов различают:

* шифраторы высокого уровня, активные сигналы на входах и выходах которых имеют уровень логической единицы;
* шифраторы низкого уровня, активные входные и выходные сигналы которых соответствуют уровню логического нуля.

Условное графическое обозначение шифратора высокого и низкого

уровней показано на рисунке 3.1.

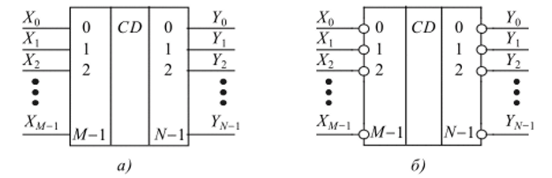


Рисунок 3.1 – Условное графическое обозначение шифратора высокого и низкого уровней

Состояние выходных сигналов G и EO шифратора описывается следующими уравнениями:

*,*

*.*

**3.2 Дешифратор**

Дешифратором (Decoder — DC) MxN называют комбинационное устройство с М входами и N выходами, преобразующее М-разрядный двоичный код в N-разрядный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня — единственный 0.

Дешифратор с максимальным числом N = 2M выходов называется полным (М х 2м), а с числом выходов N < 2M — неполным.

Входные сигналы дешифратора описываются соотношениями:

, ,.

Формирование выходных сигналов дешифратора с учетом сигнала управления описывается следующим образом:

, ,.

На рисунке 3.2 приведено условное **графическое обозначение полного дешифратора высокого уровня.**

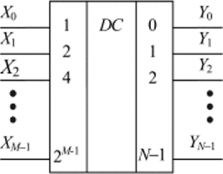


Рисунок 3.2 – Условное **графическое обозначение полного дешифратора высокого уровня**

**3.3 Мультиплексор**

Мультиплексором (Multiplexer-MUX) Mx1 называют комбинационное устройство с М информационными(Х0,Х1,…,Хм-1),К адресными (А0, А1,…, Ак-1) входами и одним выходом (Y),которое осуществляет передачу сигнала с заданного адресным кодом информационного входа на его выход.

В зависимости от соотношения числа информационных входов **М** и числа адресных входов **K** мультиплексоры делятся на полные и неполные. Если выполняется условие М=2k, то мультиплексор будет полным. Если это условие не выполняется, т.е. М<2k,то мультиплексор будет неполным.

На рисунке 3.3 представлено условно графическое обозначение мультиплексора 4х1 с инверсным входом разрешения Е и прямым выходом Y, представляющий собой половину микросхемы мультиплексора КР555КП2.

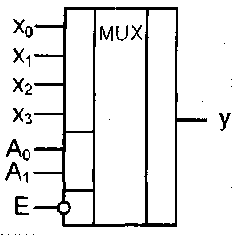


Рисунок 3.3 – Условное **графическое обозначение** мультиплексора 4х1 с инверсным входом разрешения Е и прямым выходом Y

Выражение для выходной функции такого мультиплексора можно записать в виде:

,

где Х0, Х1, Х2, Х3 – информационные входы мультиплексора;

А0, А1 – адресные входы мультиплексора;

Е – вход разрешения.

**3.4 Сумматор**

Сумматоры предназначены для выполнения арифметических операций сложения и вычитания как двоичных, так и десятичных чисел.

По виду выполняемой операции можно выделить две группы сумматоров:

* сумматоры, выполняющие сложение положительных чисел(без учета знака числа);
* сумматоры, выполняющие сложение положительных и отрицательных чисел. Такие устройства называют сумматорами-вычитателями. Они могут работать в режиме алгебраического (с учетом знака) суммирования и вычитания чисел.

На рисунке 3.4 представлено условное графическое обозначение полного одноразрядного двоичного сумматора.



Рисунок 3.4 – Условное графическое обозначение полного одноразрядного двоичного сумматора

**3.5 Цифровым компаратором**

Цифровым компаратором называется комбинационное устройство, предназначенное для сравнения двух двоичных чисел и формирования результата в виде цифровых сигналов.

Компараторы делятся на две группы:

* схемы проверки равнозначности кодов;
* схемы сравнения кодов.

На рисунке 3.5 представлено условно графическое обозначение компаратора.

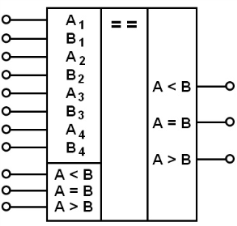


Рисунок 3.5 – Условно графическое обозначение компаратора

Схемы проверки равнозначности кодов имеют на входе две переменные A и B, каждая из которых содержит M двоичных разрядов, и один выход Y. При сравнении на равенство осуществляется поразрядное сравнение двух чисел, что позволяет затем сформировать на выходе всей схемы активный сигнал Y=1 при равенстве входных чисел. Функционирование схемы по каждому разряду подчиняется таблице истинности представленное на рисунке 3.6. В этой таблице Аi и Вi являются i-тыми разрядами многоразрядных двоичных чисел А и В, а Yi - результатом сравнения разрядов с номером i.

|  |  |  |
| --- | --- | --- |
| Аi | Bi | yi |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Рисунок 3.6 – Таблица истинности схемы проверки равнозначности кодов

Многоразрядные двоичные числа будут равны, если выполняется равенство в каждом разряде, то есть Yi=1 для каждого разряда. Чтобы сформулировать окончательный результат сравнения многоразрядных чисел достаточно вычислить конъюнкцию:

Y=y1^y2^…^ym,

где М - число разрядов в сравниваемых числах, Y - результат сравнения.

**4 ВЫПОЛНЕНИЕ РАБОТЫ**

**4.1 Шифратор**

Условное графическое обозначение шифратора представлено на рисунке 4.1.

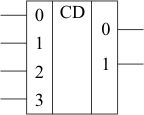


Рисунок 4.1 – Условное графическое обозначение шифратора

Таблица истинности шифратора с установленным на входе «Е» логический сигнал 0 изображена на рисунке 4.2.

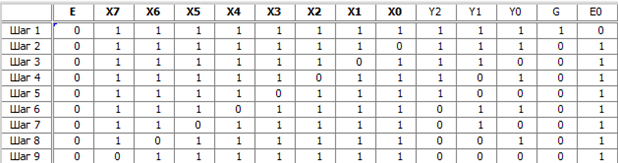


Рисунок 4.2 – Таблица истинности шифратора с установленным на входе «Е» логический сигнал 0

Исходя из вышеперечисленных данных, была построена диаграмма состояний шифратора с установленным на входе «Е» логический сигнал 0 предоставленная на рисунке 4.3.

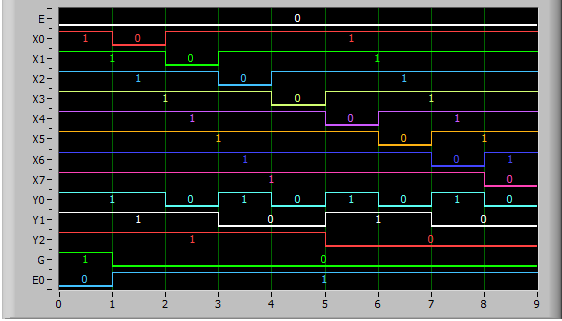


Рисунок 4.3 – Диаграмма состояний шифратора с установленным на входе «Е» логический сигнал 0

Таблица истинности шифратора с установленным на входе «Е» логический сигнал 1 изображена на рисунке 4.4.

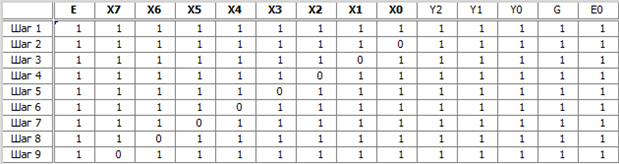


Рисунок 4.4 – Таблица истинности шифратора с установленным на входе «Е» логический сигнал 1

Исходя из вышеперечисленных данных, была построена диаграмма состояний шифратора с установленным на входе «Е» логический сигнал 1 предоставленная на рисунке 4.5.

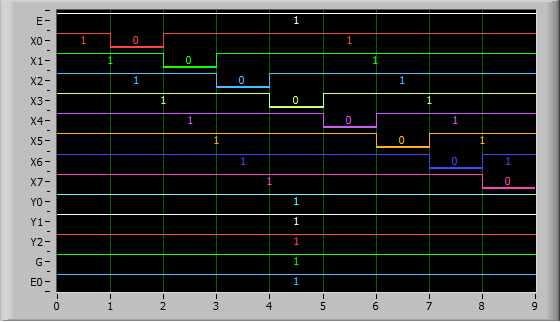


Рисунок 4.5 – Диаграмма состояний шифратора с установленным на входе «Е» логический сигнал 1

Исходя из вышеперечисленных таблиц истинности и временных диаграмм состояний шифратора, можно определить, что активный низкий уровень на выходе G(групповой сигнал) появляется при условиях перехода логического сигнала 0 на любой информационный вход (X0-X7) и на вход Е.

Исходя из вышеперечисленных таблиц истинности и временных диаграмм состояний шифратора, можно определить, что активный низкий уровень на выходе E0(разрешение от выхода) появляется при условии, если на всех информационных входах (X0-X7) присутствует логический сигнал. 1, а также разрешена работа шифратора активным сигналом E

Таблица истинности проверки приоритетности шифратора изображена на рисунке 4.6.

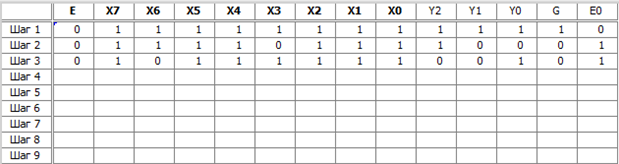


Рисунок 4.6 – Таблица истинности проверки приоритетности шифратора

Исходя из вышеперечисленных данных, была построена диаграмма состояний проверки приоритетности шифратора предоставленная на рисунке 4.7.

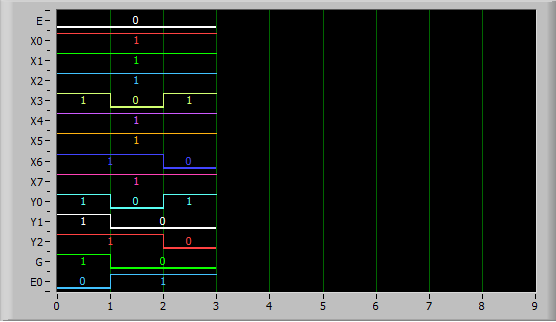


Рисунок 4.7 – Диаграмма состояний проверки приоритетности шифратора

Исходя из вышеперечисленных таблицы истинности и временной диаграммы состояний проверки приоритетности шифратора, можно определить, что активные сигналы были поданы на входы X3 и X6. Следуя из показаний можно сделать вывод, что вход с большим порядковым номером обладает большим приоритетом.

**4.2 Дешифратор**

Условное графическое обозначение дешифратора представлено на рисунке 4.8.

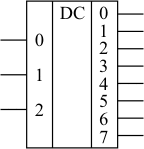


Рисунок 4.8 – Условное графическое обозначение дешифратора

Таблица истинности дешифратора с установленным на входах «Е», «Х0» и «Х1» соответствующие значения сигналов изображена на рисунке 4.9.

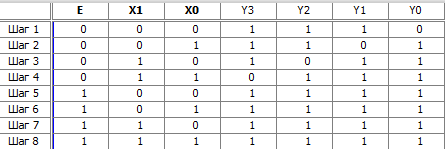


Рисунок 4.9 – Таблица истинности дешифратора

Исходя из вышеперечисленных данных, была построена диаграмма состояний дешифратора, предоставленная на рисунке 4.10.

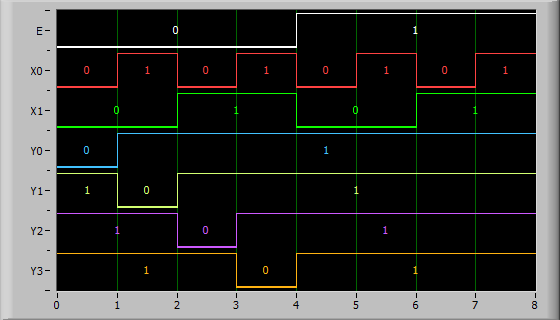


Рисунок 4.10 – Диаграмма состояний дешифратора

Исходя из вышеперечисленных таблицы истинности и временной диаграммы состояний дешифратора, можно определить, что активным логическим сигналом на входе управления «Е» дешифратора является уровень логического 0.

**4.3 Мультиплексор**

Условное графическое обозначение мультиплексора представлено на рисунке 4.11.

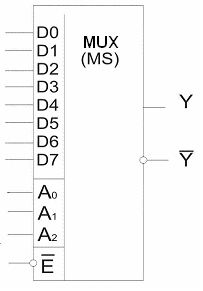
****

Рисунок 4.11 – Условное графическое обозначение мультиплексора

Таблица истинности мультиплексора изображена на рисунке 4.12.



Рисунок 4.12 – Таблица истинности мультиплексора

Исходя из вышеперечисленных данных, была построена диаграмма состояний мультиплексора, предоставленная на рисунке 4.13.



Рисунок 4.13 – Диаграмма состояний мультиплексора

Исходя из вышеперечисленных таблицы истинности и временной диаграммы состояний мультиплексора, можно определить, что активным логическим сигналом на входе управления «Е» мультиплексора является уровень логического 0.

**4.4 Сумматор**

Условное графическое обозначение сумматора представлено на рисунке 4.14.

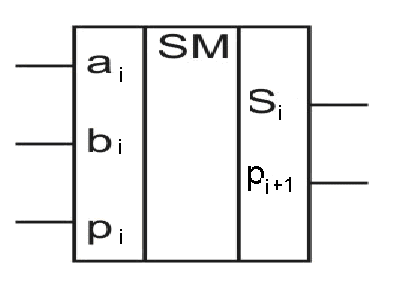


Рисунок 4.14 – Условное графическое обозначение сумматора

Таблица истинности сумматора изображена на рисунке 4.15.

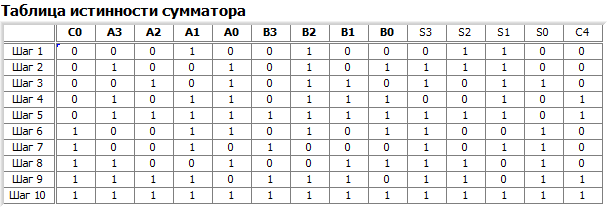


Рисунок 4.16 – Таблица истинности логического элемента «ИЛИ»

Исходя из вышеперечисленных данных, была построена диаграмма состояний сумматора предоставленная на рисунке 4.16.



Рисунок 4.16 – Диаграмма состояний сумматора

Дано уравнение: .

Исходя из диаграммы состояний сумматора, произведем вычисления для каждого шага вручную.

.

Ответ: 6=6.

2).

Ответ: 14=14.

3).

Ответ: 11=11.

4).

Ответ: 18=18.

5).

Ответ: 30=30.

6).

Ответ: 9=9.

7).

Ответ: 11=11.

8).

Ответ: 13=13.

9).

Ответ: 29=29.

10).

Ответ: 31=31.

Исходя из вышеперечисленных уравнений, можно сделать вывод, так как ответы левой половины уравнения и правой половины уравнения в каждом из примеров было одинаково, следовательно, прибор работает корректно.

**4.5 Цифровой компаратор**

Условное графическое обозначение цифрового компаратора представлено на рисунке 4.17.

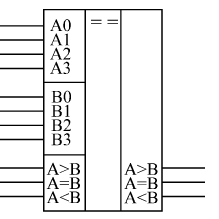


Рисунок 4.17 – Условное графическое обозначение цифрового компаратора

Таблица истинности цифрового компаратора изображена на рисунке 4.18.



Рисунок 4.18 – Таблица истинности цифрового компаратора

Исходя из вышеперечисленных данных, была построена диаграмма состояний цифрового компаратора предоставленная на рисунке 4.19.

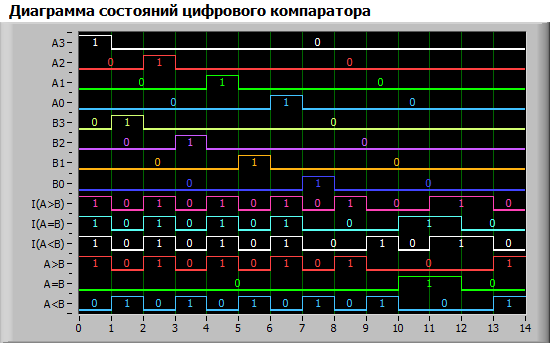


Рисунок 4.19 – Диаграмма состояний цифрового компаратора

Исходя из вышеперечисленной таблицы истинности цифрового компаратора К555СП1, можно сделать вывод, что для сравнения пятиразрядных двоичных слов требуется использовать следующим образом: младший компаратор СП1 используется как четырехразрядный, четыре старших – как пятиразрядные (входы I (A>B) и I(A<B) служат пятой парой разрядных входов, то есть A4 и В4 соответственно).

1. **ВЫВОД**

Изучили работу коммутационных логических элементов шифратора, дешифратора, мультиплексора, сумматора и цифрового компаратора. Получили их таблицы истинности и диаграммы состояний входных и выходных сигналов, а так же определили, какой логический сигнал на входе управления «Е» шифратора, дешифратора, мультиплексора является активным.